

特開平7-79146

(43) 公開日 平成7年(1995)3月20日

(51) Int. C.I. 6 識別記号 庁内整理番号 F I 技術表示箇所

H 03 K 17/687
G 06 F 3/00 J
15/78 5 1 0 P

9473-5.J H 03 K 17/687 F
8321-5.J 19/00 1 0 1 F

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-223082

(22) 出願日 平成5年(1993)9月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野口 孝樹

東京都国分寺市東恋ヶ窪1丁目280番地

株

式会社日立製作所中央研究所内

(72) 発明者 平木 充

東京都国分寺市東恋ヶ窪1丁目280番地

株

式会社日立製作所中央研究所内

(72) 発明者 小島 浩嗣

東京都国分寺市東恋ヶ窪1丁目280番地

株

式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

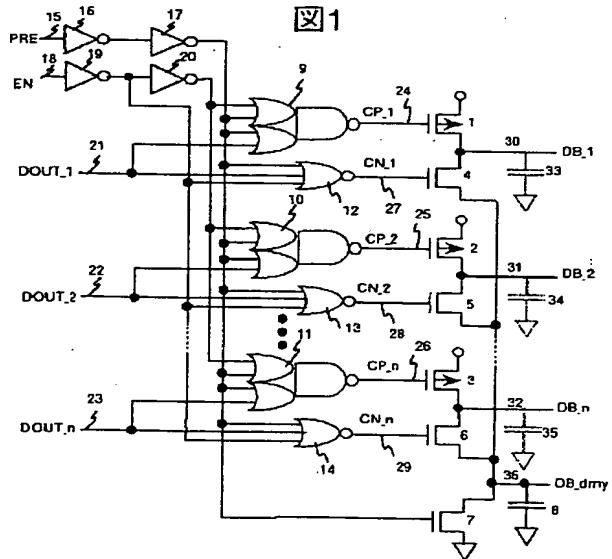
(54) 【発明の名称】 ドライバ回路およびそれを用いた半導体集積回路

(57) 【要約】

【目的】 出力が低振幅で低消費電力のドライバ回路を提供する。

【構成】 電源電圧と出力線との間のPMOSトランジスタ1と、出力線と接地との間の2つのNMOSトランジスタ4、7と、NMOSトランジスタ7と接地との間の容量8と、トランジスタ1、4のカットオフ・導通を制御する手段9、12とでドライバを構成し、出力線30上の配線容量33にチャージされた電荷を容量8と容量分配した結果の電位をHレベル出力とする。

【効果】 Hレベルのデータ出力時はスタティック動作となり、動作クロックサイクルが低速の場合でも誤動作しない。Lレベルのデータ出力時、出力線の容量33とドライバ側容量8に容量分配された電荷が出力され、出力の低振幅化を実現され、出力充放電で消費される電力を削減できる。



【特許請求の範囲】

【請求項1】第1動作電位点と出力線との間にそのソース・ドレイン経路が接続されたPチャネルMOSトランジスタと、

上記出力線と第2動作電位点との間にソース・ドレイン経路が接続されたNチャネルMOSトランジスタとを具備してなり、

上記PチャネルMOSトランジスタのゲートと上記NチャネルMOSトランジスタのゲートとがデータ入力信号に応答することにより、上記出力線に上記データ入力信号に関係した出力信号を出力するドライバ回路であつて、

上記NチャネルMOSトランジスタのソースと上記第2動作電位点との間にはNチャネルMOSスイッチングトランジスタのソース・ドレイン経路と容量との並列接続がさらに接続されてなり、

プリチャージ信号と上記ドライバ回路のドライブ状態・フローティング状態を制御するイネーブル信号と上記データ入力信号とによって制御される制御回路によって上記PチャネルMOSトランジスタのゲートと上記NチャネルMOSトランジスタのゲートとが制御され、

上記NチャネルMOSスイッチングトランジスタのゲートは上記プリチャージ制御信号により制御されたことを特徴とするドライバ回路。

【請求項2】チップ内にCPUと、メモリと、周辺回路と、内部バスとを含む半導体集積回路であつて、

上記CPU、上記メモリ、上記周辺回路の少なくともひとつと上記内部バスとの間に請求項1のドライバ回路を配置したことを特徴とする半導体集積回路。

【請求項3】上記チップはシングルチップマイクロコンピュータもしくはCPUコア内蔵のASICを構成することを特徴とする請求項2に記載の半導体集積回路。

【請求項4】第1動作電位点と出力線との間にそのソース・ドレイン経路が接続されたPチャネルMOSトランジスタと、

上記出力線と第2動作電位点との間にソース・ドレイン経路が接続されたNチャネルMOSトランジスタとを具備してなり、

上記PチャネルMOSトランジスタのゲートと上記NチャネルMOSトランジスタのゲートとがデータ入力信号に応答することにより、上記出力線に上記データ入力信号に関係した出力信号を出力するドライバ回路であつて、

上記NチャネルMOSトランジスタのソースと上記第2動作電位点との間にはNチャネルMOSスイッチングトランジスタのソース・ドレイン経路と容量との並列接続がさらに接続されてなり、

上記ドライバ回路のドライブ状態・フローティング状態を制御するイネーブル信号と上記データ入力信号とによって制御される制御回路によって上記PチャネルMOS

トランジスタのゲートと上記NチャネルMOSトランジスタのゲートとが制御され、

上記NチャネルMOSスイッチングトランジスタのゲートは上記NチャネルMOSトランジスタのゲートと逆相の信号で駆動されることを特徴とするドライバ回路。

【請求項5】チップ内にCPUと、メモリと、周辺回路と、内部バスとを含む半導体集積回路であつて、

上記CPU、上記メモリ、上記周辺回路の少なくともひとつと上記内部バスとの間に請求項4のドライバ回路を配置したことを特徴とする半導体集積回路。

【請求項6】上記チップはシングルチップマイクロコンピュータもしくはCPUコア内蔵のASICを構成することを特徴とする請求項5に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はドライバ回路およびそれを用いた半導体集積回路に関し、特に、ロジックLSIの内部バスに対して信号出力を行なうドライバ回路に関する。

【0002】

【従来の技術】CMOS回路で構成したロジックLSIの内部バスに対して信号出力を行なうドライバ回路は、出力がHレベルの電源電圧レベル、またはLレベルの接地レベルとなるとともに、出力がフローティング状態となるトライステート型CMOSドライバ回路構成とするのが一般的である。しかし、CMOS回路では、PチャネルMOSトランジスタとNチャネルMOSトランジスタの特性の違いによって、接地レベルから電源電圧レベルへの信号レベル遷移が遅くなりやすい。そのため、この信号伝播の高速化を図るために、出力線の電位を予め電源電圧レベルにしておき、Lレベルの出力時のみ、出力線の電位を電源電圧レベルから接地レベルへの遷移を行なうよう、プリチャージ制御を導入した回路も用いられている。一方、ロジックLSIの消費電力を考えると、内部バスの負荷容量が大きい場合には、このドライバ回路によって信号レベルの遷移時に行なわれる内部バス上の電荷の充放電によって多くの電力が消費される。

また、ロジックLSIの電池駆動を考えると、低消費電力化は必須である。

【0003】

【発明が解決しようとする課題】以上の技術背景により、CMOSドライバ回路による電力消費を低減するための種々の検討が本発明者等に行なわれた。まず行なわれた検討は、電源電圧の低電圧化である。さらに、内部バス上のプリチャージ電荷をコンデンサ容量によって分割し、出力電位の低振幅化を実現するダイナミック回路も検討された。この出力電位の低振幅化は信号レベルの変化による電荷の充放電量が少なくなるため、低消費電力化に有効である。このように出力電位の低振幅化をコンデンサ容量の分割により実現するダイナミック回路

は、低消費電力化には有効であった。しかし、このダイナミック回路では、低速動作に関しては配慮されていない。すなわち、プリチャージを用いたダイナミック回路は、動作クロックサイクルを低速化させると、電荷の自然放電(電荷リーク)によってダイナミック回路が誤動作する可能性がある。一方、ロジックLSIの動作クロックサイクルに関しては、論理機能の未動作時の電力消費を低減するためダイナミック回路をDC(直流)レベルでも動作可能なように構成することが望ましい。

【0004】そのために、本発明の目的は出力電位の低振幅化を実現するCMOSドライバ回路を、プリチャージ方式のダイナミック動作可能とともにスタティック動作可能とすることである。

【0005】さらに、本発明の他の目的は、この低振幅ドライバ回路を、従来のインターフェースを持つCPU等のマクロセルと組み合わせて半導体集積回路を実現することである。

【0006】

【課題を解決するための手段】上記目的を達成するための本発明の代表的実施形態によるドライバ回路は、電源電圧と出力線(30)との間にそのソース・ドレイン経路が接続されたPチャネルMOSトランジスタ(1)と、上記出力線(30)と接地との間にソース・ドレイン経路が接続されたNチャネルMOSトランジスタ(4)とを具備してなり、上記PチャネルMOSトランジスタ(1)のゲートと上記NチャネルMOSトランジスタ(4)のゲートとがデータ入力信号(DOUT_i)に応答することにより、上記出力線(30)に上記データ入力信号に関係した出力信号を出力するドライバ回路であって、上記NチャネルMOSトランジスタのソース(4)と上記接地との間にはNチャネルMOSスイッチングトランジスタ(7)のソース・ドレイン経路と容量(8)との並列接続がさらに接続されてなり、プリチャージ信号(PRE)と上記ドライバ回路のドライブ状態・フローティング状態を制御するイネーブル信号(EN)と上記データ入力信号(DOUT_i)とによって制御される制御回路(9,12)によって上記PチャネルMOSトランジスタ(1)のゲートと上記NチャネルMOSトランジスタ(4)のゲートとが制御され、上記NチャネルMOSスイッチングトランジスタ(7)のゲートは上記プリチャージ制御信号(PRE)により制御されたことを特徴とする。

【0007】

【作用】Hレベルのデータ出力時に、PチャネルMOSトランジスタ(1)を導通させ、NチャネルMOSトランジスタ(4)とNチャネルMOSスイッチングトランジスタ(7)とをカットオフさせる。一方、Lレベルのデータ出力時に、PチャネルMOSトランジスタ(1)とNチャネルMOSスイッチングトランジスタ(7)とをカットオフさせ、NチャネルMOSトランジスタ(4)を導通させる。出力線をプリチャージする場合には、PチャネルM

OSトランジスタ(1)を導通させ、NチャネルMOSトランジスタ(4)をカットオフさせ、NチャネルMOSスイッチングトランジスタ(7)を導通させる。Hレベルのデータ出力時は、電源電圧がPチャネルMOSトランジスタ(1)を通して出力線に与えられるため、スタティック動作となり、動作クロックサイクルが低速の場合でもドライバ回路は誤動作することはない。Lレベルのデータ出力時、出力には出力線の容量(33)とドライバ側コンデンサ(8)の容量に容量分割された電位が出力されるため、出力は接地レベルまで電位変化することはない。そのため、出力電位は、この容量分割されたLレベル出力と電源電圧レベルとの間を遷移することになり、低振幅化を実現することができる。動作クロックサイクルが低速な場合、このLレベル出力の電位は接地レベル側に徐々に変化するが、Lレベル出力であるため、ドライバ回路は誤動作することはない。出力線のプリチャージは、Hレベル出力と同様に行なうことができるため、信号伝播の高速化を図ることも可能である。

【0008】

20 【実施例】以降に、本発明の実施例を図面に基づいて説明する。図1に、本発明の一実施例である、出力線のプリチャージ制御を行なう出力ドライバ回路の構成図を示す。電源電圧と出力線30、31、32間にはPチャネルMOSトランジスタ1、2、3が接続される。出力線と接地との間に直列接続されるNチャネルMOSトランジスタのうち出力線側のトランジスタは4、5、6である。接地線側のNチャネルMOSトランジスタ7は、出力信号線間で共有された構成となっている。この直列接続されたNチャネルMOSトランジスタ間と接地の間

30 に、コンデンサ8が接続される。PチャネルMOSトランジスタの制御信号(CP_i)24、25、26は、複合論理ゲート9、10、11によって生成される。出力線側のNチャネルMOSトランジスタ27、28、29の制御信号(CN_i)27、28、29は、NORゲート12、13、14によって生成される。出力線のプリチャージタイミングを制御する信号PRE15は、インバータ16、17によって駆動力を高められ、各ビットの制御論理に供給される。ドライバ出力のオン(ドライブ状態)・オフ(フローティング状態)を制御する信号EN18も、インバータ19、20によって駆動力を高められ、各ビットの制御論理に供給される。さらに、この制御論理には、外部出力すべきデータ(DOUT_i)21、22、23も入力される。

40 【0009】複合論理ゲート9、10、11およびNORゲート12、13、14より構成される各ビットの制御論理の機能を、図2の機能表にまとめた。尚、図2中で、記号*はドント・ケー(信号がHレベルであるか、Lレベルであるかを問わないもの)を示している。信号PRE15がH(=1)レベルの期間は、出力線30、31、32のプリチャージを行なう。図2にも示す

ように、この期間は、PチャネルMOSトランジスタ1、2、3の制御信号(CP_i)24、25、26はL(=0)レベルとなり、PチャネルMOSトランジスタ1、2、3をON(導通状態)させる。一方、NチャネルMOSトランジスタ4、5、6の制御信号(CN_i)27、28、29はL(=0)レベルとなりNチャネルMOSトランジスタ4、5、6をOFF(カット・オフ)させる。さらに、NチャネルMOSトランジスタ7のゲート入力はH(=1)レベルとなり、導通状態となる。その結果、データ出力線30、31、32はHレベルにプリチャージされる。また、コンデンサ8もNチャネルMOSトランジスタ7を通して放電され、DB_dmy36の電位は、接地レベルとなる。信号PRE15および信号EN18がL(=0)レベルの期間は、出力線30、31、32をフローティング状態に保つ。図2にも示すように、この期間は、PチャネルMOSトランジスタ1、2、3の制御信号(CP_i)24、25、26はH(=1)レベルとなり、PチャネルMOS1、2、3トランジスタをカット・オフさせる。一方、NチャネルMOSトランジスタ4、5、6の制御信号(CN_i)27、28、29はL(=0)レベルでNチャネルMOS4、5、6トランジスタをカット・オフさせる。さらに、NチャネルMOSトランジスタ7のゲート入力もL(=0)レベルとなり、カット・オフされる。その結果、データ出力線30、31、32はフローティング状態となる。信号PRE15がL(=0)レベル、信号EN18がH(=1)レベルの期間は、外部出力すべきデータ(DOUT_i)21、22、23に従って、出力線30、31、32にデータが出力される。この期間は、PチャネルMOSトランジスタ1、2、3、NチャネルMOSトランジスタ4、5、6のオン・オフ制御は、図2からも明らかなように、外部出力すべきデータ(DOUT_i)21、22、23の値によって行なわれる。また、NチャネルMOSトランジスタ7のゲート入力はL(=0)レベルで、カット・オフされている。外部出力すべきデータ(DOUT_i)がL(=0)レベルの場合は、PチャネルMOSトランジスタ1、2、3がOFF(カット・オフ)状態、NチャネルMOSトランジスタ4、5、6がON(導通)状態となる。NチャネルMOSトランジスタ7はOFF(カット・オフ)状態であるから、出力線30、31、32の配線容量33、34、35上に蓄えられたプリチャージ電荷は、放電されることなく、この配線容量33、34、35とコンデンサ8とで分配されることになる。その結果、出力線上的電位は、コンデンサ8に分配された電荷分、低下することになる。この低下した電位をL(=0)レベル出力とする。一方、外部出力すべきデータ(DOUT_i)がH(=1)レベルの場合は、PチャネルMOSトランジスタ1、2、3がON(導通)状態、NチャネルMOSトランジスタ4、5、6がOFF

(カット・オフ)状態となる。NチャネルMOSトランジスタ7もOFF(カット・オフ)状態であるが、出力値には影響を与えない。出力線30、31、32には、PチャネルMOSトランジスタ1、2、3を通して電源電圧が供給され、その結果、出力線上的電位は、電源電圧レベルを保つ。

【0010】制御信号PRE15とEN18によって制御されるこの出力ドライバの動作タイミングを図3に示す。T1はプリチャージ期間である。信号PRE15を10Hレベルにし、データ出力線(DB_i)を電源電圧レベルにプリチャージする。

【0011】T2はデータ出力期間である。制御信号PRE15をLレベル、EN18をHレベルにし、外部出力すべきデータ(DOUT_i)21、22、23に従った値をデータ出力線(DB_i)30、31、32に出力する。H(=1)レベルの出力電位は電源電圧レベル、L(=0)レベルの出力電位はデータ出力線上的配線容量に蓄えられた電荷を出力ドライバのコンデンサ8と容量分配した結果で決まる電位で、接地レベルよりは20高い値となっている。この結果、出力電位の低振幅化が実現されることになる。

【0012】図4に、CPU40の出力ドライバ43、メモリ41の出力ドライバ44、周辺回路42の出力ドライバ45として図1の実施例の出力ドライバ回路を組込んだシングルチップマイコンの構成を示す。従って、CPU40、内蔵メモリ41、タイマ、シリアル・コミュニケーションインターフェース等の内蔵周辺回路42等は、図1の出力ドライバを組込んだマクロセルとなる。このようにマクロセルのに、図1の出力ドライバ43、

3044、45を付加させて、新たなマクロセル48、49、50とする。この出力ドライバ43、44、45を組む場合、2種類の制御信号PREとENを与える必要がある。このうち、信号PREはバス・タイミング制御信号であるから、バス制御回路47で生成する。一方、信号ENはデータ出力を制御する信号であるため、各出力ドライバと接続させる各マクロセル内から取り出すことになる。しかしこの制御信号は、マクロセル内の出力ドライバを制御するために、生成しているはずのものであるから、単に配線を付け加えて取り出すことが可能である。このような構成をとることにより、内部データ・バス46の出力電位を低振幅化することが可能となる。内部データ・バスの付加容量は、配線容量のほかに、このバスに接続される周辺回路のインターフェース部分の容量成分(入力ゲート容量、出力ドライバの拡散容量)も付加されるため、大きな値となっている。そのため出力電位の低振幅化によって、大幅な低消費電力化が可能となる。

【0013】図5に、図1の出力ドライバの組込み方を示した他の実施例を示す。図4に示した実施例では、本50発明の出力ドライバをマクロセルとして組込んだもので

ある。これに対し、図5の実施例では、本発明の出力ドライバをランダムゲート論理回路の一部として組込む。シングルチップマイコンやCPUを組込んだASIC等では、CPUやメモリ、周辺回路等のマクロセル以外に、これらを制御するための制御論理回路を内蔵せている。この制御論理回路は、チップ毎に異なるため、NANDゲート、NORゲート等の標準論理ゲート・セルを組み合わせて構成している。図1の出力ドライバを、この標準論理ゲート・セルと同じ形状にレイアウトし、配置する。図5の実施例では、出力ドライバのPチャネルMOSトランジスタと出力線側のNチャネルMOSトランジスタを1つの標準セル51、52、53として構成している。さらにコンデンサ部分は、別の標準セル54として配置し、これらをセル間配線で接続せている。図5内には図示していないが、接地側のNチャネルMOSスイッチングトランジスタも同様にレイアウトする。このようにして、マクロセルでレイアウトされたCPU40の外部に、標準セル形態でレイアウトされた出力ドライバを配置し、それらセル間を配線して、内部データ・バス(DB_i)46に接続させることにより、図4の構成と同じ論理構成のロジックLSIを実現することができる。

【0014】図6には、出力ドライバ回路の他の実施例を示す。図1で示した出力ドライバ回路は、データ出力線のプリチャージ制御を行なっていたが、本実施例では、この制御を省略した構成を示す。電源電圧と出力線70間にはPチャネルMOSトランジスタ60が接続される。出力線と接地の間には、直列接続されるNチャネルMOSトランジスタ61、62が接続される。この直列接続されたNチャネルMOSトランジスタ間と接地の間に、コンデンサ63が接続される。PチャネルMOSトランジスタの制御信号(XP_i)67は、NANDゲート64によって生成される。NチャネルMOSトランジスタ61、62の制御信号(YN_i、ZN_i)68、69は、NORゲート65およびインバータ66によって生成される。ドライバ出力のオン(ドライブ状態)・オフ(フローティング状態)を制御する信号EN18は、インバータ19、20によって駆動力を高められ、各ビットの制御論理に供給される。さらにこの制御論理には、外部出力すべきデータ(DOUT_i)70も入力される。

【0015】NANDゲート64、NORゲート65およびインバータ66より構成される各ビットの制御論理の機能を、図7の機能表にまとめた。信号EN18がL(=0)レベルの期間は、出力線71をフローティング状態に保つ。図7にも示すように、この期間は、PチャネルMOSトランジスタ60の制御信号(XP_i)67はH(=1)レベルとなり、MOSトランジスタをカット・オフさせる。一方、NチャネルMOSトランジスタ61の制御信号(YN_i)68はL(=0)レベル

でMOSトランジスタをカット・オフさせる。また、NチャネルMOSスイッチングトランジスタ62の制御信号(ZN_i)69はH(=1)レベルとなり、導通状態となる。その結果、データ出力線71はフローティング状態となり、コンデンサ63に蓄えられていた電荷は放電される。信号EN18がH(=1)レベルの期間は、外部出力すべきデータ(DOUT_i)70に従つて、出力線71にデータが出力される。この期間は、PチャネルMOSトランジスタ60、NチャネルMOSトランジスタ61、62のオン・オフ制御は、図7からも明らかなように、外部出力すべきデータ(DOUT_i)70の値によって行なわれる。外部出力すべきデータ(DOUT_i)がH(=1)レベルの場合は、PチャネルMOSトランジスタ60がON(導通)状態、NチャネルMOSスイッチングトランジスタ61がOFF(カット・オフ)状態となる。NチャネルMOSスイッチングトランジスタ62はON(導通)状態となり、コンデンサ63に蓄えられた電荷を放電するが、出力値には影響を与えない。出力線71には、PチャネルMOSトランジスタ60を通して電源電圧が供給され、その結果、出力線上の電位は電源電圧レベルとなる。外部出力すべきデータ(DOUT_i)がL(=0)レベルの場合は、PチャネルMOSトランジスタ60がOFF(カット・オフ)状態、NチャネルMOSトランジスタ61がON(導通)状態となる。NチャネルMOSスイッチングトランジスタ62はOFF(カット・オフ)状態であるから、出力線71の配線容量72上に蓄えられた電荷があつたとしても、放電されることなく、この配線容量とコンデンサ63とで分配されることになる。その結果、出力線上の電位は、コンデンサ63に分配された電荷分、低下することになる。この低下した電位をL(=0)レベル出力とする。データ出力線71は、毎サイクル、プリチャージされるわけではないので、このLレベル出力値は、その前のサイクルに出力された電位に依存して変化するが、Hレベルが常に電源電圧レベルなので、誤動作の原因となることはない。この結果、出力電位の低振幅化が実現できる。

【0016】図6の実施例の出力ドライバも、図4および図5に示したシングルチップマイコン、CPU内蔵ASIC等に組込んで利用可能なことは明らかである。図4、図5の実施例では明示したプリチャージ制御用の信号PREが、第2の実施例として示した図6の出力ドライバには不要であるため、この制御信号系を削除するだけで、このドライバを組込むことが可能である。

【0017】【発明の効果】本発明によれば、ドライバ回路の出力電位を小振幅化することができる。その結果、データ出力線上の負荷容量の充放電による電力消費を低減することができ、低消費電力化の効果がある。

50 【0018】さらに、ドライバ回路はスタティック動作

が可能となっているため、低速動作においても電荷の自然放電によってドライバ回路が誤動作することはない。動作クロックサイクルの速度を直流レベルから可変にすることができるため、クロック制御による低消費電力回路の構築が容易になるという効果もある。

【図面の簡単な説明】

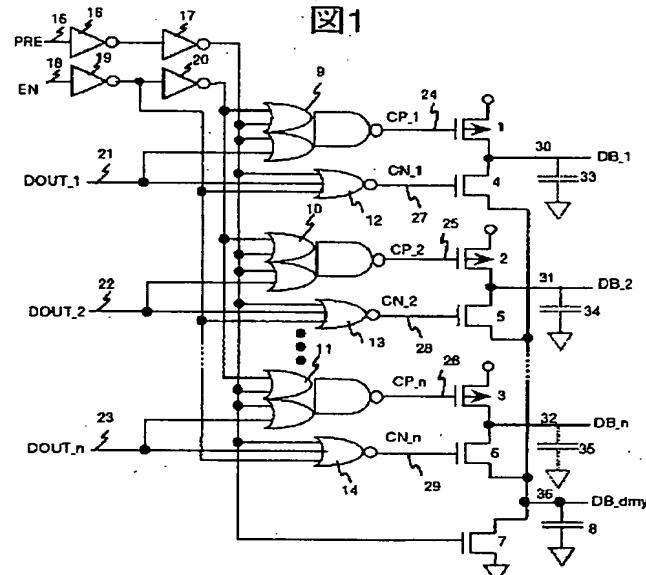
【図1】本発明の実施例による出力ドライバ回路である。

【図2】図1の出力ドライバ回路内の制御論理回路の機能を示す図である。

【図3】図1の出力ドライバ回路の動作タイミング・チャートを示す図である。

【図4】図1の出力ドライバ回路のシングルチップマイコンへの適用を示す構成例である。

【図1】



【図3】

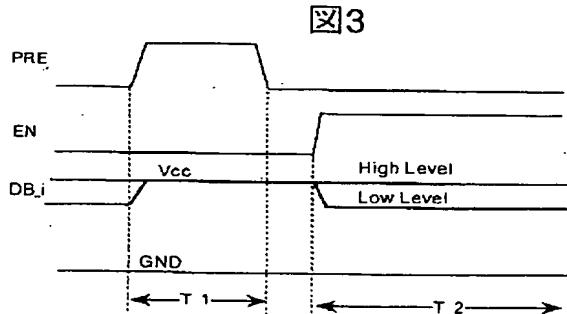


図3

【図5】図1の出力ドライバ回路のシングルチップマイコンへの他の適用を示す構成例である。

【図6】本発明の他の実施例による出力ドライバ回路である。

【図7】図6の出力ドライバ回路内の制御論理回路の機能を示す図である。

【符号の説明】

1, 2, 3: PチャネルMOSトランジスタ

4, 5, 6, 7: NチャネルMOSトランジスタ

9, 10, 11, 12, 13, 14: 出力ドライバ回路内の制御論理回路

8: コンデンサ、33, 34, 35: 配線容量

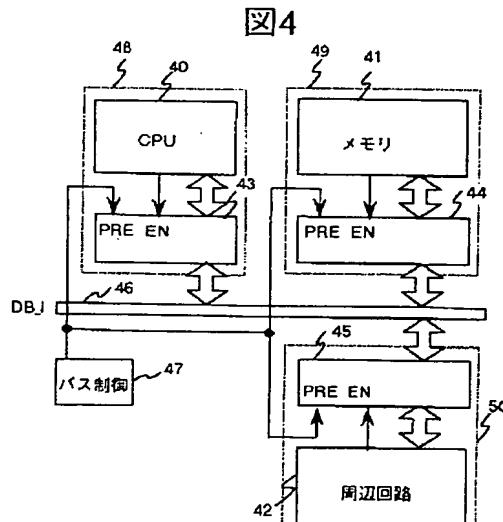
40: CPU、41: 内蔵メモリ、42: 内蔵周辺回路、43: 出力ドライバ回路

【図2】

入 力			出 力	
PRE	EN	DOUT_i	CP_i	CN_i
1	*	*	0	0
0	0	*	1	0
0	1	0	1	1
0	1	1	0	0

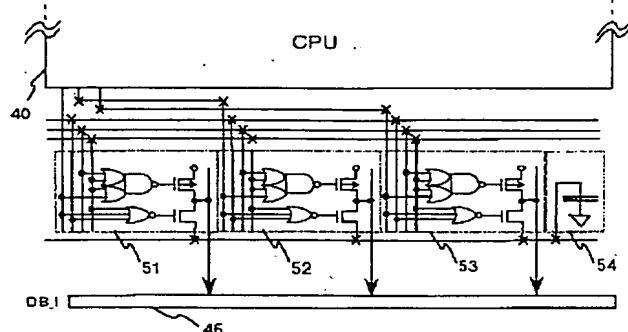
図2

【図4】



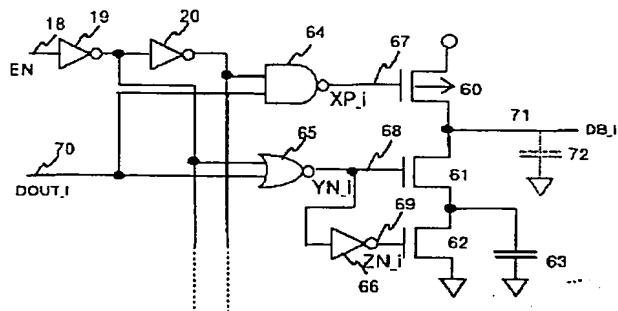
【図5】

図5



【図6】

図6



【図7】

図7

入力		出力		
EN	DOUT_i	XP_i	YN_i	ZN_i
0	*	1	0	1
1	0	1	1	0
1	1	0	0	1

フロントページの続き

(51) Int.CI. 6
識別記号 庁内整理番号 F 1
H O 3 K 19/0175

技術表示箇所

(72) 発明者 堀田 正生
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 小久保 優
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内